

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312972

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28			H 0 2 M 3/28	F
7/21		8726-5H	7/21	A

審査請求 未請求 請求項の数 7 F D (全 9 頁)

(21) 出願番号 特願平8-151725

(22) 出願日 平成8年(1996)5月22日

(71) 出願人 000214836

長野日本無線株式会社

長野県長野市稲里町下氷鉦1163番地

(72) 発明者 松本 晃

長野県長野市稲里町下氷鉦1163番地 長野

日本無線株式会社内

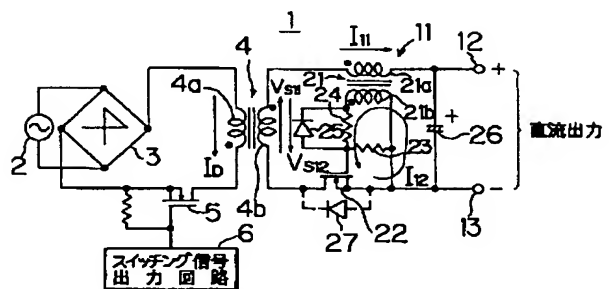
(74) 代理人 弁理士 酒井 伸司

(54) 【発明の名称】 整流回路

(57) 【要約】

【課題】 整流効率を低下させることなく、整流用の電界効果トランジスタの破壊を防止することができる整流回路を提供することを目的とする。

【解決手段】 入力された入力交流を整流するダイオード27と、整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号を生成する制御信号生成手段21と、ダイオード27と等価的に並列接続され制御信号に基づいて作動して入力交流を整流する電界効果トランジスタ22とを備えている。



**【特許請求の範囲】**

【請求項 1】 入力された入力交流を整流するダイオードと、当該整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号を生成する制御信号生成手段と、前記ダイオードと等価的に並列接続され前記制御信号に基づいて作動して前記入力交流を整流する電界効果トランジスタとを備えていることを特徴とする整流回路。

【請求項 2】 前記ダイオードは前記電界効果トランジスタの内部寄生ダイオードであることを特徴とする請求項 1 記載の整流回路。

【請求項 3】 前記電界効果トランジスタのゲートと低電位ライン間に接続され、前記制御信号の出力が停止されたときに、前記ゲートに蓄積されている電荷を放出する電荷放出手段を備えていることを特徴とする請求項 1 または 2 記載の整流回路。

【請求項 4】 前記制御信号生成手段は、前記整流された直流電流の出力ライン間に配設された一次巻線と、当該一次巻線を通る前記直流電流に電流値または電圧値がほぼ比例する制御信号を出力可能な二次巻線とを備えているカルントランスおよび単巻変圧器のいずれか一方であることを特徴とする請求項 1 から 3 のいずれかに記載の整流回路。

【請求項 5】 前記制御信号を電流増幅すると共に当該電流増幅した制御信号を前記電界効果トランジスタのゲートに出力する電流増幅手段を備えていることを特徴とする請求項 4 記載の整流回路。

【請求項 6】 前記制御信号生成手段の出力部における出力電圧が所定値以下のときに前記制御信号の前記電界効果トランジスタへの出力を停止させる制御信号出力制御手段を備えていることを特徴とする請求項 4 または 5 記載の整流回路。

【請求項 7】 前記制御信号出力制御手段は、前記制御信号生成手段の出力部と前記電界効果トランジスタのゲート間に接続されたツェナーダイオードであることを特徴とする請求項 6 記載の整流回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、スイッチング電源装置のスイッチング用トランスの出力巻線側などに配設可能な整流回路に関し、詳しくは、スイッチングトランスの出力巻線から出力される交流に同期してその交流を整流するのに適した整流回路に関するものである。

**【0002】**

【従来の技術】スイッチング電源装置などでは、通常、スイッチング用トランスの出力巻線から出力される交流を、出力巻線側に配設されているダイオードおよびコンデンサによって整流する整流方法が採用されている。その一方、近年、整流時におけるダイオードによる電力損失を低下させるために、整流用素子として FET を使用

する整流回路の開発が盛んになっている。このような整流回路として、例えば、実開平 4-58087 号公報に記載されたものが知られている。

【0003】前記公報に記載されている整流回路 71 は、いわゆる同期整流回路であって、図 7 に示すように、フォワード型のスイッチング電源装置におけるスイッチング用のトランス 4 の二次巻線 4b 側に配設されている。整流回路 71 は、主巻線 72a、駆動巻線 72b、72c を有するチョークコイル 72 と、トランス 4 の二次巻線 4b の正電圧側端子とチョークコイル 72 の主巻線 72a との間に接続された MOS 型の FET（電界効果トランジスタ）22 と、FET 22 のドレインとグランド端子 13 との間に接続された FET 73 と、正電圧出力端子 12 とグランド端子 13 との間に接続された平滑用のコンデンサ 26 とを備えている。また、整流回路 71 は、チョークコイル 72 の駆動巻線 72b の一端と FET 22 のゲート間に接続された抵抗 74 と、駆動巻線 72c の一端と FET 73 のゲート間に接続された抵抗 75 とを備えている。

【0004】この整流回路 71 では、図示しないスイッチング手段がトランス 4 の一次側巻線 4a に入力する直流をスイッチングすることによって、トランス 4 の二次巻線 4b に同図に示す向きの電圧  $V_{S1}$  の交流が発生する。この場合、交流は FET 22 の内部寄生ダイオード 27 によって整流され、その整流された直流電圧がチョークコイル 72 の主巻線 72a を通過してコンデンサ 26 によって平滑される。この場合、チョークコイル 72 の主巻線 72a の両端には、電圧  $V_{S1}$  からコンデンサ 26 の両端電圧を減算した値にほぼ等しい電圧が発生し、これに伴い、駆動巻線 72b、72c の両端にも、主巻線 72a の両端電圧に各巻線の巻数比に応じた値の電圧が発生する。駆動巻線 72b に発生した電圧は、FET 22 のゲートに印加され、これにより、FET 22 が作動し、交流は主として FET 22 によって整流される。

【0005】一方、トランス 4 の二次巻線 4b に電圧  $V_{S1}$  とは逆向きの電圧  $V_{S2}$  の交流が発生する場合には、内部寄生ダイオード 27 が交流を整流せず、かつ駆動巻線 72b に逆電圧が発生するため、FET 22 は作動停止状態になる。また、同時に、チョークコイル 72 の主巻線 72a を流れている電流は、FET 73 のドレインとソースとの間の寄生ダイオード（図示せず）を流れ続ける。この状態では、駆動巻線 72c に発生した逆誘起電圧が FET 73 のゲートに印加され、これにより、FET 73 が作動するため、低損失な整流動作が継続される。このように、この整流回路 71 は、二次巻線 4b に発生する交流に同期して FET 22 を作動させることにより、交流を半波整流している。この結果、整流の際における電力損失が、整流電流の二乗に FET 22 のオン抵抗を乗算した値の電力になり、従来のダイオード整流方法における電力損失（ダイオードのオン電圧に整流電

流を乗じた電力)と比較して極めて低減されている。

【0006】

【発明が解決しようとする課題】ところが、この従来の整流回路71には、以下の問題点がある。すなわち、一般的に、FETのゲートソース間に印加できる最大定格電圧は、±30V程度と低い値である。このため、この整流回路71では、生成する直流電力の電圧値が最大定格電圧以下の場合であっても、FET22が破壊されてしまうことがあるという問題点がある。具体的には、例えば、交流から直流を生成するフォワード型のスイッチング電源装置においては、図6に示すように、トランスの二次巻線4bから出力される電圧 $V_{S1}$ および電圧 $V_{S2}$ は必ずしも等しくなく、トランス4の一次側に配設されているスイッチング素子がオンしている期間 $T_{ON}$ に出力されるエネルギー(同図の符号61に示す斜線部分の面積に比例する)と、スイッチング素子がオフしている期間 $T_{OFF}$ に出力されるエネルギー(同図の符号62に示す斜線部分の面積に比例する)とがほぼ等しくなる。このため、従来の整流回路71では、チョークコイル72の主巻線72aの両端電圧に比例するゲート電圧がFET22のゲートに印加されるため、そのゲート電圧が通常時において最大定格電圧以下の場合であっても、トランス4の一次巻線4a側に入力される直流電圧が上昇したり、スイッチング信号のオン時間 $T_{ON}$ が短くなったりしたような場合には、電圧 $V_{S1}$ が上昇するため、これに伴ってゲート電圧も上昇し、場合によっては、最大定格電圧以上のゲート電圧がFET22のゲートソース間に印加されることにより、FET22が破壊されてしまうことがあるという問題点がある。

【0007】一方、FET72のゲートとソースとの間にツェナーダイオードなどを接続することによって、FET22の耐圧破壊を防止することも可能である。ところが、世界中の商用電源に対して所定の電圧を出力できないいわゆるオールレンジ電源装置を構成する場合に、商用電源の電圧値が高いと、ツェナーダイオードが常時電力損失する結果、整流回路全体としての整流効率が極めて低下してしまうという問題点がある。

【0008】また、一般的には、FETは、数百pF～数千pFのゲート容量を有しているため、従来の整流回路71では、抵抗74を介してFET22のゲートに直流電圧を印加しても直ちには作動しない結果、FET22のターンオン時間が長くなっている。また、逆に、直流電圧の印加が停止された時においても、ゲートに蓄積されている電荷に起因して、FET22のターンオフ時間が長くなる結果、FET22のスイッチング動作の立ち上がりおよび立ち下がりが長くなるために、種々の問題点が生じている。具体的には、FET22のスイッチング動作の立ち上がりが遅いと、内部寄生ダイオード27による整流時間が長くなるために電力損失を低減させることができないという問題点がある。一方、スイッチ

ング動作の立ち下がりが遅いと、トランス4の二次巻線4bに電圧 $V_{S2}$ が発生している時にもFET22がオン状態になってしまうことがあり、かかる場合には、FET22によってコンデンサ26の両端に逆電圧が印加されると共に、トランス4の二次巻線4b側で逆電流が流れてしまうという問題点がある。

【0009】本発明は、かかる問題点を解決すべくなされたものであり、整流効率を低下させることなく、整流用の電界効果トランジスタの破壊を防止することができる整流回路を提供することを目的とする。また、整流回路内での逆電流の発生を防止することができる整流回路を提供することを他の目的とする。

【0010】

【課題を解決するための手段】上記目的を達成すべく請求項1記載の整流回路は、入力された入力交流を整流するダイオードと、整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号を生成する制御信号生成手段と、ダイオードと等価的に並列接続され制御信号に基づいて作動して入力交流を整流する電界効果トランジスタとを備えていることを特徴とする。この場合、直流電流とは、周期的にその方向を変化させる電流であって1周期に亘っての平均値が零の電流である交流電流を含まない他のすべての電流をいい、脈流電流や、一定電圧値の直流に脈流を重畳させた直流の電流などが含まれる。また、制御信号は、電流信号であっても電圧信号であってもよく、整流された直流電流の電流値にほぼ比例する電流信号である制御信号を電圧信号として機能させる場合には、制御信号が流れる経路に抵抗を接続し、その抵抗の両端に発生する電圧を制御信号として用いればよい。

【0011】この整流回路では、制御信号生成手段が、ダイオードによって整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号を生成し、生成した制御信号を出力することにより電界効果トランジスタを作動させる。これにより、電界効果トランジスタは、ダイオードが導通しようとする間、つまり、正電圧の直流電力を生成するときには、交流の正極性部分が入力されるときにのみ作動する。この結果、交流は、オン抵抗が小さい電界効果トランジスタのソースからドレインを通過することにより、電界効果トランジスタによって整流される。このように、この整流回路では、例えば、スイッチング電源装置に適用した場合において、スイッチング電源装置に入力される交流電圧が高いときであっても、スイッチング用トランスの二次巻線から出力される電圧の高低に関係なく、整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号によって電界効果トランジスタのスイッチングが制御される。このため、電界効果トランジスタの破壊を確実に防止することができると共に、いわゆるオールレンジのスイッチング電源装置における整流回路に適用することが

可能になる。

【0012】請求項2記載の整流回路は、請求項1記載の整流回路において、ダイオードは電界効果トランジスタの内部寄生ダイオードであることを特徴とする。

【0013】この整流回路では、電界効果トランジスタの内部に存在する内部寄生ダイオードが、入力交流を整流することによって制御信号を生成するための直流電流を生成する。この結果、別体のダイオードを用いる必要がなくなるため、回路を簡易に構成することができる。

【0014】請求項3記載の整流回路は、請求項1または2記載の整流回路において、電界効果トランジスタのゲートと低電位ライン間に接続され、制御信号の出力が停止されたときに、ゲートに蓄積されている電荷を放出する電荷放出手段を備えていることを特徴とする。

【0015】一般的に、電界効果トランジスタは数百pF～数千pFのゲート容量を有している。したがって、制御信号の出力が停止された後であっても、ゲートに蓄積されている電荷によって電界効果トランジスタのターンオフ時間が長くなる。この結果、例えば、この整流回路がスイッチング用トランスの二次巻線側に配設されたり、整流回路の出力側に平滑用コンデンサが接続されたりしているような場合において、電界効果トランジスタがオフすべき時間にオンしていると、二次巻線に誘起する逆向き電圧、つまり図6における電圧 $V_{S2}$ に基づく電流が逆向きに流れたり、平滑用コンデンに蓄積されているエネルギーが逆向きに流れたりすることに起因する逆電流が流れてしまう。この整流回路では、グラウンドなどの低電位ラインとゲートとの間に接続されている電荷放出手段が、制御信号の出力が停止されたときに、ゲートに蓄積されている電荷を放出する。このため、電界効果トランジスタのターンオフ時間が短くなるので、逆電流の発生が確実に防止される。

【0016】請求項4記載の整流回路は、請求項1から3のいずれかに記載の整流回路において、制御信号生成手段は、整流された直流電流の出力ライン間に配設された一次巻線と、一次巻線を通る直流電流に電流値または電圧値がほぼ比例する制御信号を出力可能な二次巻線とを備えているカレントトランスおよび単巻変圧器のいずれか一方であることを特徴とする。

【0017】この整流回路では、カレントトランス、またはいわゆるオートトランスである単巻変圧器の一次巻線に整流された直流が流れると、カレントトランスの電流検出側巻線である二次巻線、または単巻変圧器の二次巻線に整流電流に電流値または電圧値がほぼ比例する制御信号が発生する。このように、この整流回路によれば、制御信号生成手段を簡易に構成することが可能になる。

【0018】請求項5記載の整流回路は、請求項4記載の整流回路において、制御信号を電流増幅すると共に電流増幅した制御信号を電界効果トランジスタのゲートに

出力する電流増幅手段を備えていることを特徴とする。

【0019】前述したように、電界効果トランジスタは数百pF～数千pFのゲート容量を有している。したがって、電界効果トランジスタのターンオン時間を短くするためには、ゲート容量を素早く充電させる必要がある。この整流回路では、カレントトランスまたは単巻変圧器から出力された制御信号を電流増幅し、電流増幅した制御信号を電界効果トランジスタのゲートに出力する。この結果、電界効果トランジスタのゲート容量が素早く充電される結果、ターンオン時間を極めて短くすることができる。

【0020】請求項6記載の整流回路は、請求項4または5記載の整流回路において、制御信号生成手段の出力部における出力電圧が所定値以下のときに制御信号の電界効果トランジスタへの出力を停止させる制御信号出力制御手段を備えていることを特徴とする。

【0021】この整流回路では、制御信号出力制御手段が、制御信号の生成源である制御信号生成手段から出力される出力電圧が所定値以下のときに、制御信号の電界効果トランジスタへの出力を停止させる。このため、電界効果トランジスタは、整流された直流電流がカレントトランスまたは単巻変圧器の一次巻線を通り終わる前にターンオフを開始する。この結果、制御信号の出力が停止される前に電界効果トランジスタを確実に作動停止させることが可能になるため、逆電流の発生を確実に阻止することができる。

【0022】請求項7記載の整流回路は、請求項6記載の整流回路において、制御信号出力制御手段は、制御信号生成手段の出力部と電界効果トランジスタのゲート間に接続されたツェナーダイオードであることを特徴とする。

【0023】通常、制御信号は、電界効果トランジスタのゲート電圧と制御信号生成手段の出力電圧との差電圧に応じた電流値で流れる。この整流回路では、ツェナーダイオードが、制御信号生成手段とゲートとの間の差電圧を、ツェナー電圧分だけ実質的に降下させる。このため、制御信号生成手段の出力電圧が、ゲート電圧にツェナー電圧を加えた電圧と等しい電圧になったときには、両者の間に電圧差がなくなるため、制御信号が流れないため、ゲートにゲート電圧が供給されなくなる。このように、この整流回路では、ツェナーダイオードを制御信号出力制御手段として用いることによって、簡易に構成することができる。

【0024】

【発明の実施の形態】以下、添付図面を参照して、本発明に係る整流回路をフライバック型のスイッチング電源装置（以下、「電源装置」という）に適用した実施の形態について説明する。なお、従来の電源装置71と同一の構成要素については同一の符号を付してその説明を省略する。

【0025】同図に示す電源装置1は、交流電源2から出力される交流を整流するダイオードブリッジ3、スイッチング用のトランス4、スイッチング用のMOS型電界効果トランジスタ（以下、「FET」という）5、スイッチング信号を出力するスイッチング信号出力回路6および整流回路11などを備えている。

【0026】整流回路11は、電源装置1の一部を構成しており、カレントトランス（制御信号生成手段）21、FET（電界効果トランジスタ）22、抵抗23、24、ダイオード25およびコンデンサ26を備えている。

【0027】カレントトランス21は、整流された直流を外部に出力するための正電圧出力端子12とトランス4の二次巻線4bの正電圧側端子との間の出力ライン間に接続された一次巻線21aと、一次巻線21aのn倍の巻数比を有し電流ピックアップ用巻線として機能する二次巻線21bとを備えており、一次巻線21aに流れる直流電流値I<sub>11</sub>に対して巻数比の逆数（1/n）の電流値の制御電流（本発明における制御信号に相当する）I<sub>12</sub>を二次巻線421bから出力する。

【0028】FET22は、内部に内部寄生ダイオード27を有しており、トランス4の二次巻線4bに発生する交流が電圧V<sub>S11</sub>の向きのときには、内部寄生ダイオード27を介して交流の正極性部分を通過させ、逆に、二次巻線4bに発生する交流が電圧V<sub>S12</sub>の向きのときには、交流の通過を阻止する。これにより、FET22は、交流を整流する。

【0029】抵抗23は、カレントトランス21の二次巻線21a側の終端抵抗として機能すると共にカレントトランス21から出力された制御信号I<sub>12</sub>を電圧信号に変換する電流-電圧変換器として機能する。また、抵抗23は、制御電流I<sub>12</sub>の出力が停止されたときには、FET22のゲートに蓄積されている電荷を低電位ラインであるグランドに放出する電荷放出手段としても機能する。

【0030】抵抗24は、制御電流I<sub>12</sub>を供給する際に電流制限用として機能する。ダイオード25は、制御電流I<sub>12</sub>の出力が停止されたときに、FET22のゲートに蓄積されている電荷をカレントトランス21の二次巻線21bを介してグランドに放出する電荷放出手段として機能する。

【0031】次に、図2を参照して、整流回路11の動作について説明する。

【0032】交流電源2から交流が出力されると、その交流はダイオードブリッジ3によって脈流に整流される。この脈流がスイッチング信号出力回路6の制御下でFET5によってスイッチングされることによって、トランス4の一次巻線4aに電流I<sub>D</sub>（同図（a）参照）が流れると、トランス4にエネルギーが蓄積される。次いで、FET5によるスイッチングがオフになると、ト

ランス4に蓄積されているエネルギーに基づいて、トランス4の二次巻線4bから電流I<sub>11</sub>（同図（b）参照）が出力される。この場合、電流I<sub>11</sub>は、図1に示す向きで流れようとするため、内部寄生ダイオード27、二次巻線4b、カレントトランス21の一次巻線21aおよびコンデンサ26からなる閉ループを流れることによりコンデンサ26によって平滑される。この際、一次巻線21aを電流I<sub>11</sub>が通過すると、二次巻線21bから制御電流I<sub>12</sub>が出力される。この制御電流I<sub>12</sub>は、FET22のゲートに流れ込んでゲート容量を充電する。充電後においては、制御電流I<sub>11</sub>が二次巻線21bおよび抵抗24、23からなる閉ループを流れ、これにより抵抗23の両端に発生した電圧V<sub>G</sub>（同図（c）参照）がゲート電圧としてFET22のゲートに印加される。なお、実際には、電圧V<sub>G</sub>の最低値は、マイナス電圧になるが、ここでは、最低値を0Vとしている。

【0033】ゲートに印加される電圧V<sub>G</sub>がFET22のオン電圧V<sub>ON</sub>よりも高いときには、同図（d）に示すように、FET22がオンになり電流I<sub>11</sub>がFET22のソースドレイン間を通過する。この結果、二次巻線4bに発生した交流は、主としてFET22によって整流される。この場合、整流の際における電力損失は、整流電流の二乗にFET22のオン抵抗を乗じた値の電力になり、ダイオード整流方法における電力損失と比較して極めて低減される。

【0034】次いで、電流I<sub>11</sub>が流れなくなると、制御電流I<sub>12</sub>も流れなくなるため、FET22のゲートに電圧が印加されなくなる。この場合、ゲートに蓄積されている電荷がダイオード24およびカレントトランス21の二次巻線21bを介してグランドに放出されるため、ゲート電圧V<sub>G</sub>が直ちに0Vになり、これにより、極めて短いターンオフ時間でFET22が作動を停止する。この結果、次に一次巻線4aに電流I<sub>D</sub>が流れる際には、FET22が作動を完全に停止した状態に維持され、かつその際に二次巻線4bに流れようとする電流の向きと内部寄生ダイオード27の順方向の向きとが互いに逆方向になるため、二次巻線4bには電流が流れず、逆電流の発生が確実に阻止される。

【0035】このように、この整流回路11によれば、カレントトランス21が、内部寄生ダイオード27によって整流された電流I<sub>11</sub>の電流値にほぼ比例する電流値の制御電流I<sub>12</sub>を生成し、生成した制御電流I<sub>12</sub>を出力することによりFET22を作動させる。このため、いわゆるオールレンジ型スイッチング電源装置の整流回路に適用した場合、入力される交流の電圧値、つまりトランス4の二次巻線4bから出力される電圧の高低に関係なく、FET22の整流動作を制御することができる。この結果、整流効率を低下させることなく、FET22の破壊を確実に防止することができる。

【0036】次に、図3を参照して、他の実施形態に係

る整流回路 3 2 を適用した電源装置 3 1 について説明する。なお、同図には、電源装置 1 におけるトランス 4 の二次巻線 4 b 側の構成である整流回路 3 2 を主として示している。また、この実施形態では、電源装置 3 1 の構成要素のうち電源装置 1 の構成要素と同一の構成要素については、同一の符号を付してその説明を省略する。

【0037】同図に示すように、整流回路 3 2 は、一次巻線 4 1 a がグランド端子 1 3 と FET 2 2 のソースとの間に接続され、二次巻線 4 1 b の他端がツェナーダイオード（制御信号出力制御手段）4 2 のカソードに接続されたオートトランス 4 1 を備えている。オートトランス 4 1 は、単巻変圧器であって、一次巻線 4 1 a と、一次巻線 4 1 a の  $n$  倍の巻数比を有する二次巻線 4 1 b とが分離・絶縁されることなく、かつ一次巻線 4 1 a の巻線部分が二次巻線 4 1 b の一部として構成されている。また、オートトランス 4 1 は、一次巻線 4 1 a に流れる直流電流値  $I_{21}$  に対して巻数比の逆数 ( $1/n$ ) の電流値の制御電流  $I_{22}$  を二次巻線 4 1 b から出力する。このオートトランス 4 1 では、FET 2 2 と共にトランス 4 の二次巻線 4 b のグランド側に配置されているため、一次巻線 4 1 a と二次巻線 4 1 b とを絶縁する必要がない結果、両巻線 4 1 a、4 1 b を共通に構成することによって、両巻線 4 1 a、4 1 b の結合が強化されている。

【0038】また、整流回路 3 2 は、前述したツェナーダイオード 4 2 に加えて、ツェナーダイオード 4 2 のアノードにベースが接続された npn 型のトランジスタ（電流増幅手段）4 3、トランジスタ 4 3 のエミッタにそのエミッタが接続されている pnp 型のトランジスタ（電荷放出手段）4 4、および抵抗 4 5、4 6、4 7 を備えている。

【0039】トランジスタ 4 3 は、オートトランス 4 1 の二次巻線 4 1 b から出力される制御電流  $I_{22}$  を増幅し増幅した電流を新たな制御電流  $I_{23}$  として FET 2 2 のゲートに出力する。この場合、トランジスタ 4 3 は、整流された直流電圧  $V_D$  がコレクタに印加されているため、作動時には、FET 2 2 のソース・ゲート間にオン電圧（約 5 V）よりも高い電圧（直流出力電圧とほぼ等しい）を印加することができる。このため、FET 2 2 を完全に飽和領域で作動させることが可能になる。この結果、FET 2 2 のソース・ドレイン間電圧が小さくなるため、FET 2 2 による電力損失がさらに低減される。

【0040】トランジスタ 4 4 は、FET 2 2 のゲートに蓄積されている電荷をグランドに放出する電荷放出手段として機能する。具体的には、トランジスタ 4 4 は、トランジスタ 4 3 が制御電流  $I_{23}$  の出力を停止したときに、ゲートに蓄積されている電荷に基づくベース電流を抵抗 4 5 を介してグランドに流すことによって作動を開始し、作動時には、ゲートに蓄積されている電荷をエミッタからコレクタを介してグランドに放出することによ

って、FET 2 2 のターンオフ時間を短縮する。

【0041】次に、図 4 を参照して、整流回路 3 2 の動作について説明する。なお、整流回路 1 1 における動作と同一の点については重複した説明を省略する。

【0042】トランス 4 の一次巻線 4 a に電流  $I_D$ （同図（a）参照）が流れると、二次巻線 4 b から電流  $I_{21}$  が出力される。この場合、電流  $I_{21}$  は、同図に示す向きで流れようとするため、オートトランス 4 1 の一次巻線 4 1 a、内部寄生ダイオード 2 7、トランス 4 の二次巻線 4 b、およびコンデンサ 2 6 からなる閉ループを流れることによりコンデンサ 2 6 によって平滑される。この際、一次巻線 4 1 a を電流  $I_{21}$  が通過すると、二次巻線 4 1 b から制御電流  $I_{22}$  が出力される。この制御電流  $I_{22}$  は、ツェナーダイオード 4 2 を介してトランジスタ 4 3 のベースに入力されると共にトランジスタ 4 3 によって増幅され、制御電流  $I_{23}$  として、FET 2 2 のゲートに流れ込んでゲート容量を充電し、FET 2 2 を作動させる。

【0043】一方、充電後においては、制御電流  $I_{23}$  が抵抗 4 6 を介してグランドに流れるため、抵抗 4 6 の両端に発生した電圧  $V_G$  がゲート電圧として FET 2 2 のゲートに印加されることによって、FET 2 2 はオン状態を維持する。この結果、二次巻線 4 b に発生した交流は、FET 2 2 によって整流される。この場合、整流の際における電力損失は、整流回路 1 1 と同じように、整流電流の二乗に FET 2 2 のオン抵抗を乗じた値の電力になり、ダイオード整流方法における電力損失と比較して極めて低減される。また、この場合、制御電流  $I_{22}$  が二次巻線 4 1 b、ツェナーダイオード 4 2、抵抗 4 5、内部寄生ダイオード 2 7、トランス 4 の二次巻線 4 b およびコンデンサ 2 6 からなる閉ループを流れ、これにより、トランジスタ 4 4 は、抵抗 4 5 の両端に発生した電圧によってオフ状態に維持されている。

【0044】次いで、電流  $I_{21}$  が流れなくなると、制御電流  $I_{22}$  も流れなくなるため、トランジスタ 4 3 が作動を停止する結果、FET 2 2 のゲートに電圧  $V_G$  が印加されなくなる。この場合、抵抗 4 5 の両端電圧が低下するため、FET 2 2 のゲートに蓄積されている電荷が、トランジスタ 4 4 のベース電流として、エミッタ、ベースおよび抵抗 4 5 を介してグランドに放出される。このため、トランジスタ 4 4 が作動することによって、ゲートに蓄積されている電荷はトランジスタ 4 4 のエミッタおよびコレクタを介してグランドに放出される。また、ゲートに蓄積されている電荷は、抵抗 4 6 を介してもグランドに放出される。このため、ゲート電圧が直ちに 0 V になるので、極めて短いターンオフ時間で FET 2 2 が作動を停止する。

【0045】さらに、FET 2 2 のゲートに印加される電圧  $V_G$  は、オートトランス 4 1 の二次巻線 4 1 b から出力される電圧  $V_D$  からツェナーダイオード 4 2 のツェ



ナー電圧分だけドロップされる。このため、トランジスタ 43 のベースに入力される電圧は、電圧  $V_0$  がツェナー電圧以下のときに、0V となる。したがって、FET 22 は、同図 (b) に示すように、電圧  $V_0$  が、FET 22 がオフ状態になるしきい値電圧  $V_S$  よりもツェナー電圧分高い電圧である電圧  $V_{OFF}$  のときに、オフになる (同図 (c) 参照)。この結果、次に一次巻線 4a に電流  $I_D$  が流れる際には、FET 22 が作動を完全に停止した状態に維持され、かつその際に二次巻線 4b に流れようとする電流の向きと内部寄生ダイオード 27 の順方向の向きとが互いに逆方向になるため、二次巻線 4b には電流が流れず、逆電流の発生が確実に阻止される。なお、抵抗 47 は、ツェナーダイオード 42 に電流が流れないときに、オートトランス 41 の二次巻線 41b 側のインピーダンス、言い替えれば一次側のインピーダンスを所定値に終端する。

【0046】このように、この実施形態によれば、制御電流  $I_{22}$  を増幅した制御電流  $I_{23}$  によって FET 22 を作動させることにより、FET 22 を極めて短いターンオン時間でオンさせることができる。これにより、内部寄生ダイオード 27 の整流動作から FET 22 による整流動作に短時間で切り替えることができる結果、整流効率をさらに向上させることができる。

【0047】なお、上記実施形態では、トランス 4 の二次巻線 4b のグラウンド側に FET 22 を接続した例について説明したが、本発明は、これに限定されず、図 5 に示すように、FET 22 を直流出力ライン側に接続してもよいのは勿論である。なお、同図に示す整流回路 51 の各構成要素には、図 1 における電源装置 1 における対応する構成要素と同一の符号を付すものとし、その説明を省略する。また、整流回路 11 においてカレントトランス 21 の出力部側に、制御信号を電流増幅するトランジスタや FET を接続してもよい。

【0048】さらに、本発明に係る整流回路は、フライバック型の電源装置のみならず、フォワード形の電源装置にも適用可能である。また、リンギングチョーク型スイッチング電源装置にも適用が可能であり、かかる場合には、トランス 4 の二次巻線 4b からエネルギーが出力し終わった後に電流  $I_D$  が一次巻線 4a に流れる。このため、FET 22 のゲート電荷を放出するための電荷放出手段 (例えば、トランジスタ 44) を設けなくても、FET 22 がオンしている期間内において逆電流を確実に阻止することができる。

【0049】また、本実施形態では、FET 22 の内部寄生ダイオード 27 を使用した例について説明したが、本発明は、これに限定されず、別体のダイオードを使用してもよいのは勿論である。

【0050】

【発明の効果】以上のように請求項 1 記載の整流回路によれば、例えば、オールレンジ型のスイッチング電源装

置の同期整流回路として構成した場合などにおいて、入力される交流の電圧値が変動する場合であっても、スイッチング用トランスの二次巻線から出力される電圧の高低に関係なく、整流された直流電流の電流値に電流値または電圧値がほぼ比例する制御信号によって電界効果トランジスタのスイッチングが制御されるため、整流用電界効果トランジスタの破壊を確実に防止することができる。また、電界効果トランジスタのゲート電圧を所定値以下に制限するために電力を損失されることがないため、整流効率を低下させることがない。

【0051】また、請求項 2 記載の整流回路によれば、電界効果トランジスタの内部寄生ダイオードが、制御信号を生成するための直流電流を生成する結果、回路を簡易に構成することができる。

【0052】また、請求項 3 記載の整流回路によれば、電界効果トランジスタをオフさせる際に、電荷放出手段がゲートに蓄積されている電荷を放出させるため、電界効果トランジスタのターンオフ時間が短縮される結果、逆電流の発生を確実に防止することができる。

【0053】また、請求項 4 記載の整流回路によれば、カレントトランスや単巻変圧器によって、制御信号生成手段を簡易に構成することができる。

【0054】さらに、請求項 5 記載の整流回路によれば、増幅した制御信号を電界効果トランジスタのゲートに出力するため、電界効果トランジスタのターンオン時間を極めて短くすることができる結果、整流効率を向上させることができる。

【0055】また、請求項 6 記載の整流回路によれば、制御信号出力制御手段が制御信号の出力が停止される前に電界効果トランジスタの作動を停止させることができるため、逆電流の発生をより確実に防止することができる。

【0056】さらに、請求項 7 記載の整流回路によれば、ツェナーダイオードによって簡易に制御信号出力制御手段を構成することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る電源装置の回路図である。

【図 2】(a) はトランスの一次巻線を通る電流波形を示す信号波形図であり、(b) は整流回路によって生成された直流電流波形を示す信号波形図であり、(c) は FET のゲートに印加されるゲート電圧を示す信号波形図であり、(d) は FET の動作状態を示す図である。

【図 3】本発明の他の実施形態に係る整流回路の回路図である。

【図 4】(a) は他の実施形態におけるトランスの一次巻線を通る電流波形を示す信号波形図であり、(b) は他の実施形態におけるオートトランスの出力電圧波形を示す信号波形図であり、(c) は他の実施形態におけ

るFETの動作状態を示す図である。

【図5】図1における整流回路の変更例である整流回路の回路図である。

【図6】スイッチング電源装置におけるスイッチング用トランスの出力電圧を示す信号波形図である。

【図7】従来の整流回路の回路図である。

【符号の説明】

1 1 整流回路

2 1 カレントトランス

2 2 FET

2 3 抵抗

2 7 内部寄生ダイオード

3 2 整流回路

4 1 オートトランス

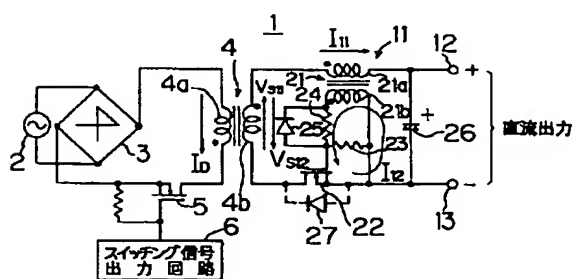
4 2 ツェナーダイオード

4 3 トランジスタ

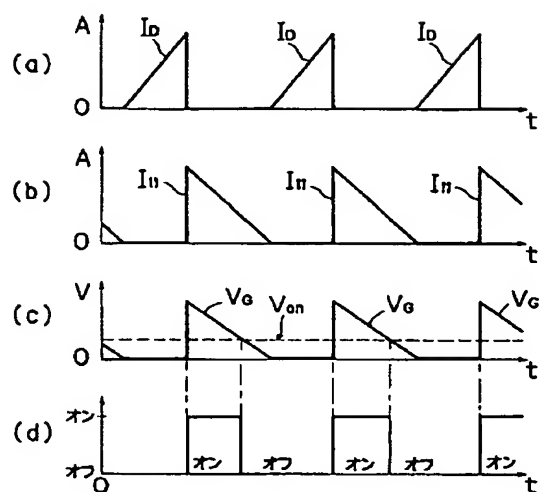
4 4 トランジスタ

4 6 抵抗

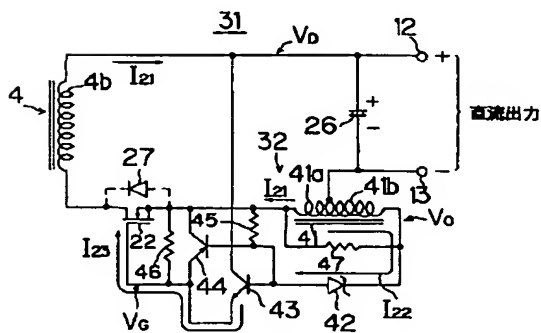
【図1】



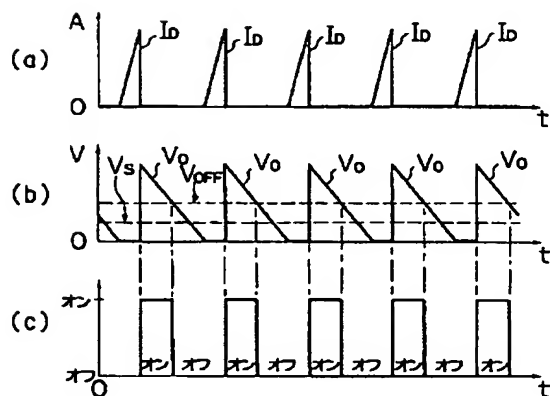
【図2】



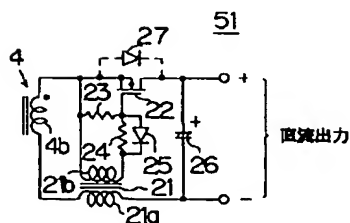
【図3】



【図4】

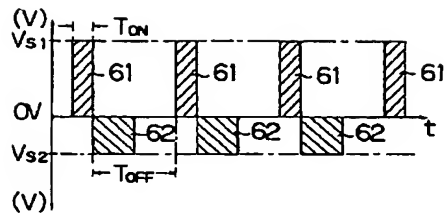


【図5】





【図6】



【図7】

